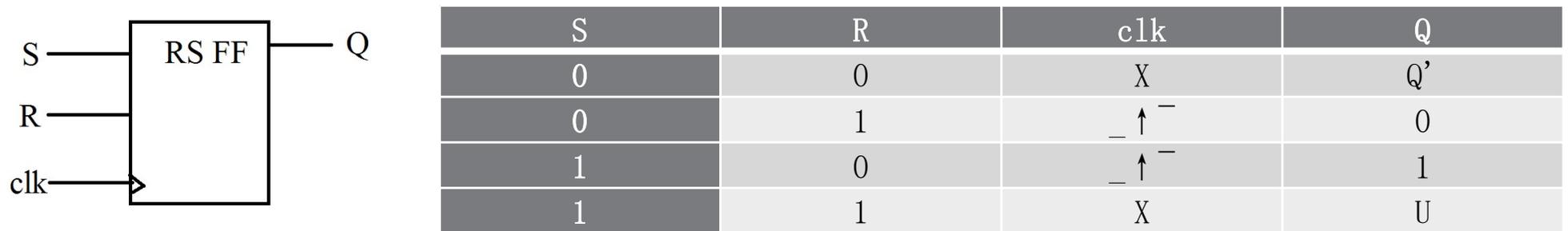


Zadatak2.

Napisati entitet i arhitekturu za RS Flip-flop koji je dat i opisan tablicom istinitosti na slici 1.



Slika 1. RSFF

Nakon uspešno proverene sintakse VHDL modula, kreirati i testbench za proveru funkcionalnosti dovođenjem takt signala periode 100 ns, a na ulaze R i S dovesti proizvoljne pravougaone impulse.